**МИНОБРНАУКИ РОССИИ**

**Санкт-Петербургский государственный**

**электротехнический университет**

**«ЛЭТИ» им. В.И. Ульянова (Ленина)**

**Базовая кафедра «Вычислительные технологии»**

отчет

**по лабораторной работе №2**

**по дисциплине «Проектирование реконфигурируемых систем  
на кристалле»**

Тема: Разработка проектов с использованием soft-ядра процессора NIOS II

Вариант 4

|  |  |  |
| --- | --- | --- |
| Студенты гр. 6309 |  | Васин А. М. |
|  |  | Жвакин К. Э. |
|  |  | Ладыженский Р. С. |
| Преподаватель |  | Шарагина Н.С. |

Санкт-Петербург

2021

**Цель работы.**

Цель работы состоит в освоении конфигурирования системы на кристалле (СнК) на базе процессора Nios II с использованием среды SOPC Builder и получения навыков разработки программного обеспечения в среде Nios II IDE.

**Основные теоретические положения.**

Один из способов оценки корректности проектов основан на моделировании, предполагающем отладку проекта на модели путем анализа реакций разрабатываемых схем на стимулирующие воздействия. Несмотря на высокую вероятность обнаружения имеющихся дефектов моделирование не всегда позволяет оценить работу схемы. Более эффективны методы, основанные на экспериментах с реальным оборудованием. Получившие в последнее время широкое распространение прототипные платы разработчика, содержащие ПЛИС, позволяют организовать подобные эксперименты.

Для получения навыков работы с реальной ПЛИС предлагается провести модельную отладку проекта, представленного исходным описанием на языке Verilog, имплементацию проекта в ПЛИС учебного стенда и анализ работоспособности полученной схемы.

Отладка созданного проекта будет состоять из двух этапов: моделирования проекта и отладки на реальной схеме.

Отладка проекта на реальной схеме будет производиться с помощью встроенного в пакет Quartus II логического анализатора Signal Tap II Logic Analyzer. Использование встроенного логического анализатора – это один из способов внутрикристальной отладки проекта, возможный при наличии неиспользованных ресурсов ПЛИС. Созданные в процессе проектирования логические анализаторы загружаются в ПЛИС и подсоединяются к интересующим разработчика цепям; таким образом, разработчик имеет возможность наблюдать за реальными состояниями различных сигналов, фиксируемых логическим анализатором. Signal Tap II позволяет создавать и встраивать в проект определенное число логических анализаторов, оперативно изменять условия фиксации данных в их памяти и отображать эти данные на экране компьютера.

**Задание на работу.**

Разработать программно-аппаратную систему, состоящую из ядра процессора Nios II, памяти и блока ввода-вывода и реализующую функцию в соответствии с индивидуальным заданием.

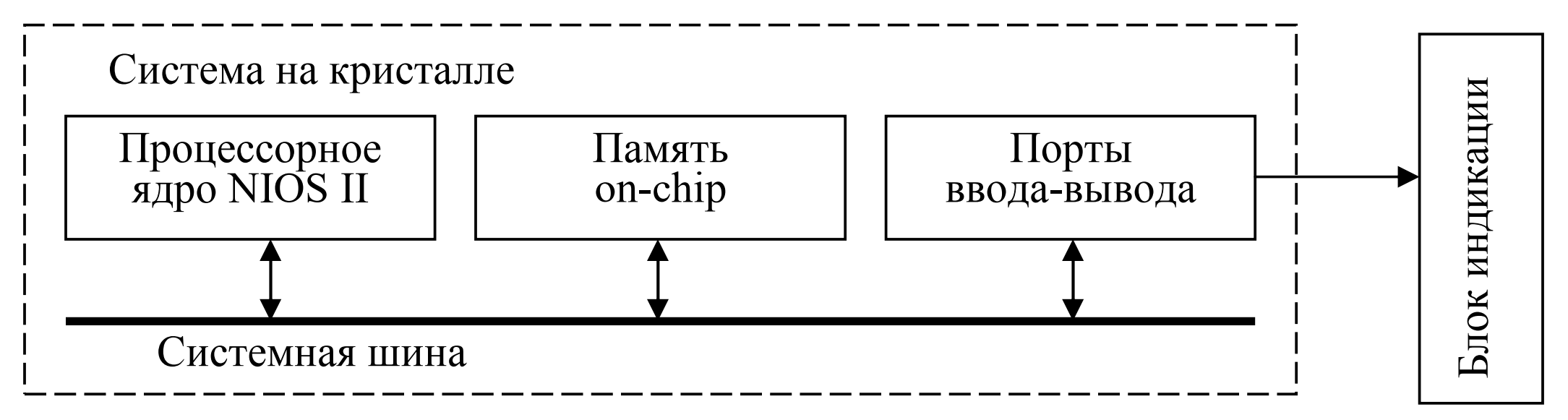


Рис. 1 Структура разрабатываемой системы на кристалле

Выполнить имплементацию проекта СнК в ПЛИС отладочной платы DE0 фирмы «Terasic». Для отображения результатов работы системы использовать светодиодные индикаторы, расположенные на плате.

Релизовать систему, управляющую перемещением светящегося сегмента по четырём семисегментным индикаторам.

**Выполнение работы.**

***Этап 1. Создание проекта в САПР Quartus II***

При создании проекта использовалась последовательность действий, приведенная в предыдущей лабораторной работе в пунктах 1-3 этапа.

***Этап 2. Конфигурирование аппаратных модулей СнК***

В пакете конфигурации NIOS II - SOPC Builder, были указаны параметры тактового сигнала (50 МГц), а также сконфигурировано оптимизированное по площади, но ограниченное по функциональным возможностям soft-ядро процессора - Nios II/e (Economy), а также RAM-память.

На следующем шаге были определены такие параметры порта ввода-вывода, как разрядность (4 бита), направление (output), значения после сброса и возможность побитового обращения к выходному регистру, через который будут выводиться данные на светоизлучающие диоды.

Далее была определена форма взаимодействия этих компонентов в системе: назначен базовый адрес для каждого ведомого компонента и приоритеты прерываний, определены адреса векторов прерываний и исключений (см. Рисунок).

После генерации в папке проекта появилась директория «sopc\_builder» с автоматически сгенерированным HDL-кодом (RTL-описание проекта Nios II).

***Этап 3. Конфигурирование системы на кристалле ПЛИС***

На рисунке виден результат конфигурирования системы, а также адресную карту, состоящую из диапазона адресов ядра процессора, jtag\_uart интерфейса, ROM-памяти и портов ввода/вывода.



Рис. 2 - Результат конфигурирования системы.

***Этап 4. Разработка программного обеспечения***

Программа управляет выводом сигнала на блок светодиодной индикации учебного стенда, создавая бегущий сигнал горящего индикатора по кругу. Это реализуется выведением на внешние выводы СнК двоичного слова, содержащего одну единицу, и реализацией логического сдвига этого слова с определённой задержкой. Ниже представлен листинг реализованной программы.

Листинг 1.

#include "sys/alt\_stdio.h"

#include "system.h"

#include "altera\_avalon\_pio\_regs.h"

#include <unistd.h>

int main**()**

**{**

alt\_putstr**(**"Hello from Nios II!\n"**);**

int data\_led **=** 0x01**;**

/\* Event loop never exits. \*/

**while** **(**1**)**

**{**

IOWR\_ALTERA\_AVALON\_PIO\_DATA**(**PIO\_0\_BASE**,** data\_led**);**

usleep**(**500000**);**

data\_led **=** data\_led **<<** 1**;**

**if(**data\_led **==** 0x10**)**

data\_led **=** 0x01**;**

**}**

**return** 0**;**

**}**

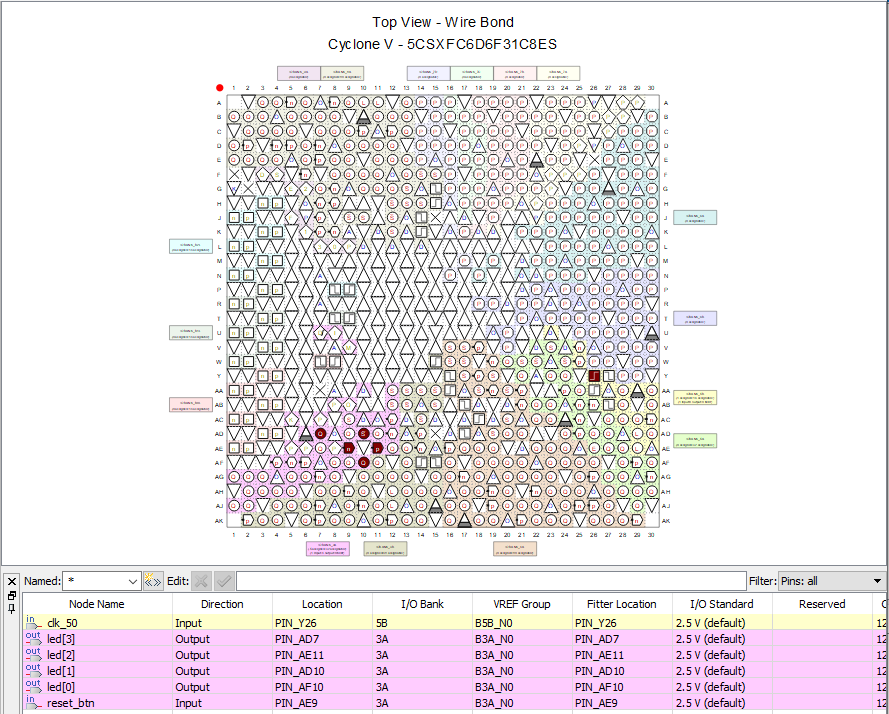


Рис. 3 - Назначение входов и выходов проекта на контакты ПЛИС

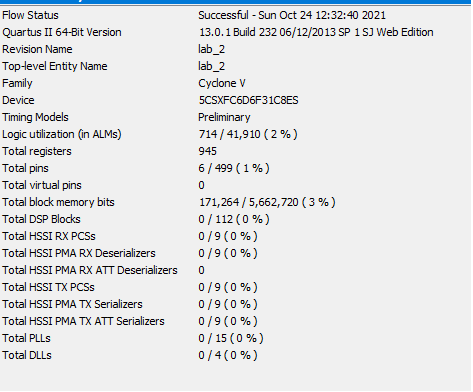


Рис. 4 - Оценка затрат на реализацию проекта

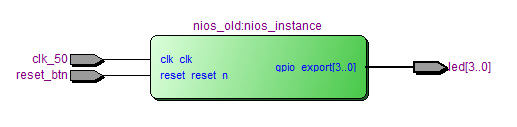


Рис. 5 - RTL-представление проекта

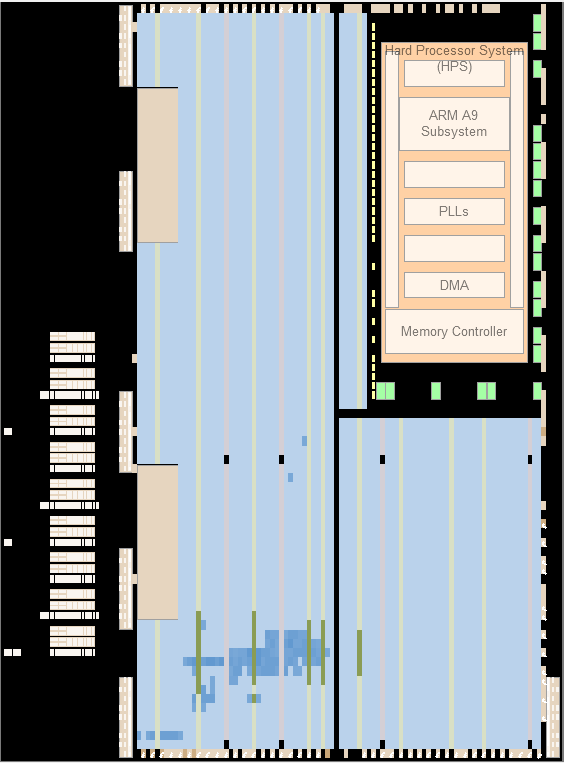


Рис. 6 - Расположение проекта в заданной ПЛИС

**Выводы.**

В ходе выполнения данной лабораторной работы были получены навыки процесса создания и конфигурирования системы на красталле (СнК) на базе процессора Nios II с использованием среды SOPC Builder и получения навыков разработки программного обеспечения в среде Nios II IDE